



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020027184 A
 (43)Date of publication of application: 13.04.2002

(21)Application number: 1020010060092
 (22)Date of filing: 27.09.2001

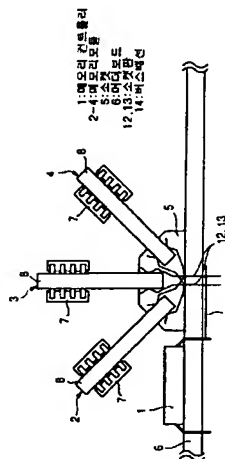
(71)Applicant: HITACHI.LTD.
 (72)Inventor: IWASAKI HIRONORI
 ONO TAKAO
 TANAKA MITSUYA

(51)Int. Cl. H01R 12 /00

(54) MEMORY SYSTEM AND CONNECTING MEMBER

(57) Abstract:

PURPOSE: A memory system and a connecting member are provided to the connection of a memory controller to each of plural memory modules in an equal distance. CONSTITUTION: A memory system includes a memory controller(1), three memory modules(2,3,4), a single socket(5) which the three memory modules is inserted into and pulled out from, and a mother board(6) on which the memory controller and the socket are mounted. The memory controller and each of the memory modules are connected in an equal distance through the socket pins(12,13) of the socket branched from bus wirings(14) on the mother board. The socket is furnished with three sets of the plural socket pins in a radial form, in correspondence with each of the memory modules. The socket has two types of structures. One has three module-board contacts for one board-bus connection, and the other has one module-board contact for one board-bus connection.



copyright KIPO 2002

Legal Status

Date of request for an examination (00000000)
 Notification date of refusal decision (00000000)
 Final disposal of an application (application)
 Date of final disposal of an application (00000000)
 Patent registration number ()
 Date of registration (00000000)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

BEST AVAILABLE COPY

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
H01R 12/00

(11) 공개번호 특2002-0027184
(43) 공개일자 2002년04월 13일

(21) 출원번호 10-2001-0060092
(22) 출원일자 2001년09월 27일
(30) 우선권주장 JP-P-2000-00305633 2000년 10월 05일 일본 (JP)
(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치
(72) 발명자 오오노타카오
일본국도쿄도치요다쿠마루노우치 1쵸메5반지1고신마루비루가부시키가이샤히타치세이사쿠쇼지택소유권후부나이
이와사키히로노리
일본국군마켄타카사키시니시오코테마찌 1반찌 1히타치동부세미컨택더가부시키가이샤나이
타나카미즈야
일본국군마켄타카사키시니시오코테마찌 1반찌 1히타치동부세미컨택더가부시키가이샤나이
(74) 대리인 이종일

심사청구 : 없음

(54) 메모리시스템 및 접속부재

요약

본 발명은 메모리시스템 및 접속부재에 관한 것으로서 메모리컨트롤러(1)와 3개의 메모리모듈(2 ~ 4)과 이 3개의 메모리모듈(2 ~ 4)의 탈부착이 가능한 하나의 소켓(5)과 이들 메모리컨트롤러(1) 및 소켓(5)이 실장되는 머더보드(6)등으로 구성되는 메모리시스템에 있어서 메모리컨트롤러(1)와 메모리모듈(2 ~ 4)이 머더보드(6)상의 버스배선(14)에서 분기된 소켓(5)의 소켓핀(12, 13)을 매개하여 같은 거리로 접속되어 있다. 소켓(5)은 각 메모리모듈(2 ~ 4)에 대응하여 3조의 복수의 소켓핀(12, 13)이 방사형으로 설치되고 하나의 기관버스접속부에 대해서 3개의 모듈 접지기둥 접속부를 갖는 구조와 하나의 모듈접지기둥 접속부를 갖는 구조로 메모리컨트롤러와 복수의 메모리모듈을 같은 거리로 접속하는 것이 가능 한 메모리 시스템을 제공하는 기술이 제공된다.

대표도

도1

명세서

도면의 간단한 설명

도 1 은 본 발명의 실시형태 1 의 메모리시스템의 구조를 나타내는 개략단면도이다.
도 2 는 본 발명의 실시형태 1의 메모리시스템에 있어서 머더보드상에 소켓을 매개하여 메모리모듈을 실장한 상태를 나타내는 개략사시도이다.
도 3 은 본 발명의 실시형태 1의 메모리시스템에 있어서 소켓에 메모리모듈을 실장한 상태를 나타내는 외관도이다.
도 4 는 (A) (B)는 발명의 실시형태 1의 메모리시스템에 있어서 소켓핀 구조를 나타내는 개략 단면도이다.
도 5 는 본 발명의 실시형태 1의 메모리시스템에 있어서 핀형태를 나타내는 외관도이다.
도 6 은 (A), (B)는 본 발명의 실시형태 1의 메모리시스템에 있어서 소켓의 다른 핀구조를 나타내는 개략 단면도이다.
도 7 은 본 발명의 실시형태 1의 메모리시스템에 있어서 다른 핀형태를 나타내는 외관도이다.
도 8 은 본 발명의 실시형태 1의 메모리시스템의 신호계통을 나타내는 설명도이다.
도 9 는 본 발명의 실시형태 1의 메모리시스템에 있어서 메모리모듈의 내부구성과 신호계통을 나타내는 설명도이다.

도 10 은 본 발명의 실시형태 2의 메모리시스템의 구조를 나타내는 개략단면도이다.

도 11 은 본 발명의 실시형태 3의 메모리시스템의 구조를 나타내는 개략도이다.

도 12 는 본 발명의 전제 메모리시스템의 구조를 나타내는 개략단면도이다.

도 13 은 본 발명의 전제 메모리시스템의 신호계통을 나타내는 설명도이다.

도 14 는 (A), (B)는 본 발명의 전제 메모리시스템에 있어서 각 메모리모듈이 수취하는 신호파형특성을 나타내는 설명도이다.

도 15 는 (A), (B)는 본 발명의 실시형태 1의 메모리시스템에 있어서 메모리IC로의 기입데이터를 나타내는 파형도이다.

(주요부분을 나타내는 도면부호의 설명)

1 : 메모리컨트롤러	2 ~ 4: 메모리모듈
5 : 소켓	6 : 머더보드
7 : 메모리IC	8 : 모듈기판
9 : 접지기동부	10 : 기판버스접속부
11 : 모듈접지 기동접속부	12, 13 : 소켓핀
14 : 버스배선	15 : 관통홀
16 : 최종단 저항	21 : 메모리컨트롤러
22 ~ 25 : 메모리모듈	26 : 소켓
27 : 머더보드	31 : 메모리컨트롤러
32 : CPU	33 : 머더보드
34 ~ 41 : 메모리모듈	42 : 소켓
101 : 메모리컨트롤러	102 ~ 104 : 메모리모듈
105 ~ 107 : 소켓	108 : 머더보드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 복수의 메모리모듈을 실장한 시스템 기술에 관한 것이고 특히 머더보드상에 소켓을 매개하여 각 메모리모듈을 실장하고 메모리컨트롤러와 각 메모리모듈을 같은 간격으로 접속하는 메모리시스템에 적용하기에 유효한 기술에 관한 것이다.

메모리모듈용 소켓 또는 커넥터에 관한 기술로서는 일본국 특개평10-3971호, 일본국 특개평11-40294호, 일본국특개평10-335546호, 일본국특개평8-314800호, 일본국특개평144160호(대응 미국특허 5, 1919, 404)등의 각 공보에 기재되는 기술등을 들수 있다.

일본국 특개평10-3971호 공보의 기술은 메모리모듈의 소켓사이가 길면 근접신호에서의 노이즈가 감응되기 쉬워지고 공통신호는 쇼트판을 이용하여 소켓간에서 직접단락(short circuit)하고, 배선길이를 짧게 하는 것으로 노이즈내성을 향상시키는 기술이다.

일본국특개평11-40294호 공보의 기술은 메모리모듈의 소켓간의 공통신호로서 공통바를 이용하는 것으로 배선회로기판으로의 관통홀과 컨택트의 수를 감소할 수 있고 결과로서 커넥터형상의 간소화와 실장코스트를 저하하는 기술이다.

일본국특개평10-335546호 공보의 기술은 복수의 모듈을 실장할 수 있는 소켓을 소형화하기 위하여 복수의 접속부를 갖는 소켓부재만으로 모듈의 전기적 접속과 기계적 보유유지를 실행하는 기술이다. 또한, 소켓부재의 기계적 보유유지력과 부재의 전기적접속부의 보호막도금성을 양립하기 위하여 외부접속단자의 접속부의 위치를 모듈의 앞뒤를 이동하는 기술이다.

일본국 특개평8-314800호 공보의 기술은 컴퓨터의 메모리모듈용 소켓수를 넘은 수의 메모리모듈을 접속하기 위하여 복수의 접속용 소켓을 갖는 메모리모듈 접속용 모듈을 나타낸 기술이다.

일본국 특개평4-144160호 공보의 기술은 소켓의 간격을 변경하지 않고 소켓에 실장할 수 있도록 메모리를 탑재한 다층 상호접속부재의 기판을 에이지클립(edge clip)을 매개하여 좁은 간격으로 모듈기판과 대면접속한 메모리어레이를 나타낸 기술이다.

복수의 메모리모듈을 실장한 메모리시스템에 있어서는 머더보드의 버스배선길이와 그 버스상의 메모리모듈의 소켓수가 신호파형에 전하는 영향(인피던스 미스매칭에 의한 신호반사파에서의 파형의 변형등)이 클수록 파수 133MHz이상에서의 동기(synchronous)DRAM등에서는 무시할 수 없는 요인이 된다.

특히, 다수의 슬롯(slot)을 갖는 버스에서는 최종단에서의 반사판에 의해 근접한 단의 소켓과 원거리 단의 소켓에서의 파형이 크게 다르고 타이밍설계가 어렵다. 또한, 소켓수가 증가하는 만큼 배선길이가 길어지고 배선용량도 증가하고 고속 동작에 적합하지 않다. 이것에 의해 고속 동작에는 짧은 버스 배선으로 또한 소켓간의 거리가 짧은 만큼 특성의 향상이 도모되는 것을 알 수 있다.

따라서, 이와 같은 메모리시스템에 있어서는 고속화를 위하여 메모리모듈의 버스배선은 우선적으로 짧게 설계할 필요가 있다. 그러나, 버스의 배선길이는 소켓 또는 모듈두께의 어느 한쪽이 크면 소켓수에서 기본적으로 결정된다. 한편, 모듈의 두께는 최대두께가 JEDG등에서 결정하고 있고 그 결과 사양이 동일하면 버스폭은 어느제품도 동등하다.

또한, 상기와 같은 복수의 메모리모듈을 실장한 메모리시스템의 기술에 대해서 본 발명자가 검토한 결과, 이하와 같은 것을 알 수 있었다. 이하에 있어서, 본 발명자가 검토한 본 발명의 전제로서 메모리시스템의 구조를 나타내는 도 12, 메모리시스템의 신호계통을 나타내는 도 13, 각 메모리모듈이 수취하는 신호파형특성을 나타내는 도 14를 이용하여 설명한다.

도 12와 같이 예를들면 메모리컨트롤러(101)와 각각의 메모리IC를 갖는 3개의 메모리모듈(102 ~ 104)을 머더보드(108)상에 탑재한 메모리시스템은 각 메모리모듈(102 ~ 104)이 복수의 소켓핀을 갖추는 각 소켓(105 ~ 107)을 매개하여 머더보드(108)상에 병렬적으로 실장되고 머더보드(108)상의 버스 배선을 통하여 각 메모리모듈(102 ~ 104)이 각 소켓(105 ~ 107)의 소켓핀을 매개하여 메모리컨트롤러(101)에 전기적으로 접속되어 있다.

이와 같은 메모리시스템에 있어서는 고속화되며 버스배선의 배선길이에 의한 영향은 무시할 수 없게 되지만 도 12와 같은 메모리모듈(102 ~ 104)의 병렬배치에서는 메모리모듈(102 ~ 104) 또는 소켓(105 ~ 107)의 두께에 의해 버스배선의 단수치화에는 한계가 있다. 또한, 소켓(105 ~ 107)의 위치 = 버스배선길이에 의존하여 다른 반사판의 영향이 파형의 차를 발생하고 타이밍설계를 어렵게 하고 있는 것을 알 수 있다. 즉, 메모리컨트롤러(101)에 본 최근 메모리모듈(102)과 제일 먼 메모리모듈(104)에 있어서의,

소켓의 위치차이에 의한 버스배선길이의 차

$$) \text{ 메모리모듈의 두께} \times (\text{소켓수} - 1)$$

의 관계가 무시할 수 없는 요인이 되어 오고 있다.

도 13과 같이 예를들면 동기DRAM의 메모리모듈(3매 탑재)(102 ~ 104)의 메모리시스템에서는 각 모듈공통의 신호계(어드레스 신호 : A0 ~ A11, 컨트롤신호 : /RAS, /CAS, /WE, 데이터신호 : DQ0 ~ DQ63, 데이터 관리신호 : DQS0 ~ DQS15, DMO ~ DM15)에 있어서의 하나의 메모리컨트롤러(101)에서의 신호는 복수의 기판버스 접속부와 단일버스로 접속하고 있기 때문에 소켓별로 메모리컨트롤러(101)까지의 버스배선길이가 다르게 되어 있다.

이와 같은 각 모듈공통의 신호계에 있어서, 메모리컨트롤러(101)에서 메모리모듈(102 ~ 104)로의 일방통행 신호(어드레스 신호, 컨트롤 신호, 데이터관리신호)와 클럭신호는 각 슬롯으로의 길이차를 조정하는 것으로 클럭신호와 각 신호의 시간차를 슬롯에 의하지 않고 동등하게 하여 동기를 취할 필요가 있다.

그러나, 신호가 왕복하는 데이터신호는 클럭신호와 역방향(메모리모듈 102 ~ 104에서 독출)의 경우 클럭신호에 동기시키는 것이 불가능(슬롯별로 데이터신호가 메모리컨트롤러(101)에 도착하는 타이밍은 클럭신호에 대해서 다른 시간차가 된다)하기 때문에 별도의 동기신호로서 데이터 스트로브신호가 필요해진다. 데이터신호가 클럭신호와 역방향의 데이터 독출인 경우 데이터스트로브신호도 메모리모듈(102 ~ 104)로부터 역방향으로 메모리컨트롤러(101)로의 방향, 데이터신호의 동기타이밍을 메모리컨트롤러(101)에 전하는 역할을 한다.

또한, 각 모듈독립의 신호계(클럭신호 : CK0 ~ CK8, 클럭관리신호 : CKE0 ~ CKE5, 뱅크선택신호 : CS0 ~ CS5, 전원계신호 : Vdd, Vss)에 대해서는 하나의 신호핀과 하나의 기판버스 접속부가 일대일로 접속되어 있다. 이와 같은 각 모듈독립의 신호계도 상기한 공통의 신호계와 동일하게 각 소켓까지의 배선길이에 차를 두는 것으로 공통신호계와 동기를 취하고 있다.

따라서, 본 발명의 전제로서 메모리시스템에 있어서는 예를들면 도 14(a)와 같이 메모리컨트롤러(101)에서 각 메모리모듈(102 ~ 104)로 신호를 전하고 그 반사판을 고려한 경우에 각 메모리모듈(102 ~ 104)이 수취하는 신호는 예를들면 도 14(b)와 같은 파형특성이 이루게 된다. 따라서, 메모리컨트롤러(101)에서 본 각 메모리모듈(102 ~ 104)의 거리차에 의한 버스배선상에서 이하와 같은 문제점을 발생하는 것을 알 수 있다.

(1) 거리차에 의한 신호도착시간차(불균일;skew)가 발생하고 타이밍의 여유가 감소한다.

(2) 최종단의 메모리모듈이외 반사판을 갖는 시간이 파형의 단차(스텝)를 형성하고 신호의 타이밍을 진폭의 절반의 값으로 규정하는 신호에 있어서는 타이밍오차가 발생하고 타이밍여유를 감소시킨다. 또한, 이 단차해결 방법으로서서는 버스신호선 최종단에 최종단저항을 접속하고 반사파를 보내는(버린다) 방법이 있지만 반사파에 의한 전압상승이 없어지기 때문에 ①전압의 진폭이 감소한다 ②소비전류가 증가하는 등의 단점이 있고 바람직한 방법이라고는 할 수 없다.

상기에서 본 발명자는 복수의 메모리모듈을 이용한 메모리시스템에 있어서 각 메모리모듈이 메모리컨트롤러에서 모두 같은 거리이면 전체의 메모리모듈은 도 14의 메모리모듈(3)에 유사한 파형을 구할 수 있기 때문에 상기 기술의 (1), (2)의 문제점은 해결되는 것을 알 수 있었다.

또한, 상기와 같은 일본국특개평10-3971호, 일본국특개평11-40294호, 일본국특개평10-335546호, 일본국특개평8-314800호, 일본국특개평4-144160호의 각 공보의 기술에 있어서는 어느 하나도 상기 기술의 (1), (2)의 문제점을 해결하기 위하여 전체 메모리모듈을 메모리컨트롤러에서 같은 거리로 하는 것을 의도하는 기술은 없다.

상기에서 본 발명의 목적은 복수의 메모리모듈을 실장하는 모듈용 소켓의 구조방면으로서 메모리컨트롤러와 복수의 메모리모듈을 머더보드상의 배선에서 분기된 소켓핀을 매개하여 같은 거리로 접속하는 것이 가능한 메모리시스템을 제공하는 것이다.

본 발명의 상기 및 그 외의 목적과 신규특징은 본 명세서의 기술 및 첨부도면에서 명확해 질것이다.

발명이 이루고자하는 기술적 과제

본 원에 있어서 개시되는 발명가운데 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 본 발명에 의한 메모리시스템은 메모리컨트롤러와 복수의 메모리모듈을 머더보드상의 배선을 매개하여 같은 거리로 접속하는 시스템이고 한점에서 분기된 복수의 소켓핀을 가지는 소켓을 이용하여 머더보드상의 배선과 복수의 각 메모리모듈을 접속하는 것으로 메모리컨트롤러와 각 메모리모듈을 같은 간격으로 접속하는 것이 가능하도록 한 것이다.

이 구성에 있어서, 각 메모리모듈은 소켓의 소켓핀을 매개하여 머더보드상에 방사형으로 실장되도록 하거나 또는 머더보드에 평행하게 실장되도록 한 것이다.

또한, 소켓의 소켓핀이 분기되는 한점(기점)은 머더보드상의 배선의 한점이고 또는 소켓내의 배선을 매개하여 머더보드상의 배선에 접속되도록 한 것이다.

특히 소켓의 소켓핀 가운데 어드레스 신호, 컨트롤신호, 데이터신호, 데이터관리신호의 핀은 각 메모리모듈에 공통으로서 클럭신호, 클럭관리신호, 뱅크선택신호, 전원신호의 핀은 각 메모리모듈로 분리하도록 한 것이다.

또한, 머더보드상의 배선의 한측에 최종단저항이 접속되고 또한 양측에 최종단 저항이 접속되도록 한 것이다.

또한, 본 발명에 의한 다른 메모리시스템은, 메모리컨트롤러와 복수의 메모리모듈을 머더보드상의 배선을 매개하여 접속하는 메모리시스템이고, (메모리컨트롤러에서 본 최근 메모리모듈과 가장 먼 메모리모듈과의 거리차)

$((\text{메모리모듈기판} + \text{실장메모리 IC}) \text{의 두께}) \times (\text{메모리모듈수} - 1)$ 의 조건을 만족하는 것으로 거리차에 의한 신호도착시간차 및 반사파에 의한 타이밍오차를 억제하는 것이 가능 하도록 한 것이다.

또한 본 발명에 의한 다른 메모리시스템은 기판과, 상기 기판상에 배치된 메모리컨트롤러와, 기판상에 배치되고 복수의 메모리모듈을 장착하는 것이 가능한 소켓을 포함하는 메모리시스템에 있어서, 소켓에 장착가능한 복수의 메모리모듈의 각각과 메모리컨트롤러는 같은 거리로 배선되도록 한 것이다.

또한, 본 발명에 의한 다른 메모리시스템은 기판과, 상기 기판상에 배치된 메모리컨트롤러와, 기판상에 배치되고 복수의 제 1 단자를 가지는 제 1 장착구와 복수의 제 2 단자를 갖는 제 2 장착구를 갖는 접속부재를 가지는 메모리시스템에 있어서, 제 1 장착구의 복수의 제 1 단자와 제 1 메모리모듈의 복수의 제 3 단자가 접속되도록 제 1 장착구에 상기 제 1 메모리모듈을 장착하는 것이 가능하고, 제 2 장착구의 복수의 제 2 단자와 제 2 메모리모듈의 복수의 제 4 단자가 접속되도록 제 2 장착구에 상기 제 2 메모리모듈을 장착하는 것이 가능하고, 메모리컨트롤러와 복수의 제 1 단자 가운데 하나의 단자와의 사이의 배선거리와 메모리컨트롤러와 제 1 단자 가운데 하나의 단자에 대응하는 복수의 제 2 단자 가운데 하나의 단자와의 사이의 배선거리는 실질적으로 비등하도록 한 것이다.

또한, 본 발명에 의한 다른 메모리시스템은 기판과, 상기 기판상에 배치되고, 제 1 단자를 포함하는 제어장치와, 기판상에 배치되고, 제 2 단자를 가지는 제 1 장착부와 제 2 단자에 대응하는 제 3 단자를 가지는 제 2 장착부를 가지는 접속부재를 포함하는 메모리시스템에 있어서, 제 1 장착부에는 제 1 메모리모듈이 장착가능해지고, 제 2 장착부에는 제 2 메모리모듈이 장착가능해지고, 제 1 메모리모듈은 제 4 단자를 갖추고, 제 2 메모리모듈은 제 5 단자를 갖추고, 제 1 메모리모듈이 상기 제 1 장착부에 장착될 때 제 2 단자와 상기 제 4 단자가 접속되고, 제 2 메모리모듈이 제 2 장착부에 장착될 때 상기 제 3단자와 상기 제 5 단자가 접속되고, 제어장치의 제 1 단자와 제 1 장착부의 상기 제 2단자와의 사이의 배선의 최단거리와, 제어장치의 상기 제 1 단자와 제 2 장착부의 제 3 단자와의 사이의 배선의 최단거리는 실질적으로 비등하도록 한 것이다.

또한, 본 발명에 의한 접속부재는 제 1 단자를 가지는 제 1 장착부와, 제 1 단자에 대응하는 제 2 단자를 가지는 제 2 장착부와, 제 3 단자를 포함하는 접속부재에 있어서, 제 1 장착부에는 제 1 메모리모듈이 장착가능해지고, 제 2 장착부에는 제 2 메모리모듈이 장착가능해지고, 제 1 메모리모듈은 제 4 단자를 갖고, 제 2 메모리모듈은 제 4 단자에 대응하는 제 5 단자를 갖추고, 제 1 메모리모듈이 제 1 장착부에 장착될 때 제 1 단자와 제 4 단자가 접속되고, 제 2 메모리모듈이 상기 제 2 장착부에 장착될 때 제 2 단자와 제 5 단자가 접속되고, 제 3 단자와 상기 제 1 장착부의 제 1 단자는 제 1 배선부재에 의해 접속되고, 제 3단자와 제 2 장착부의 제 2 단자는 제 2 배선부재에 의해 접속되고, 제 1 배선부재의 길이와 상기 제 2 배선부재의 길이는 비등하도록 한 것이다.

이하 본 발명의 실시형태를 도면에 의거하여 상세하게 설명한다. 또한, 실시형태를 설명하기 전도에 있어서, 동일부재에는 동일부호를 부여하고 그 반복설명은 생략한다.

발명의 구성 및 작용

(실시형태 1)

도 1은 본 발명의 실시형태 1의 메모리시스템구조를 나타내는 개략 단면도(단면표기 생략); 도 2는 본 실시형태의 메모리시스템에 있어서 머더보드상에 소켓을 매개하여 메모리모듈을 실장한 상태를 나타내는 개략사시도; 도 4은 소켓에 메모리모듈을 실장한 상태를 나타내는 외관도; 도 4는 소켓핀구조를 나타내

는 개략단면도(단면표시생략); 도 5는 핀형태를 나타내는 외관도; 도 6은 소켓의 핀구조를 나타내는 개략단면도(단면표시생략); 도 7은 다른 핀의 형태를 나타내는 외관도; 도 8은 메모리시스템의 신호계통을 나타내는 설명도; 도 15는 메모리IC로의 기입데이터를 나타내는 파형도이다.

우선 도 1 ~ 도 3에 의해 본 실시형태의 메모리시스템 구성의 일례를 설명한다. 본 실시형태의 메모리시스템은 예를들면 복수(여기에서는 3개의 예)의 메모리모듈을 실장한 메모리시스템이 되고 메모리컨트롤러(1)와 3개의 메모리모듈(2 ~ 4)과 이 3개의 메모리모듈(2 ~ 4)이 탈부착가능한 하나의 소켓(5)과 이들 메모리컨트롤러(1) 및 소켓(5)이 실장되는 머더보드(6)으로 구성되고 메모리컨트롤러(1)와 메모리모듈(2 ~ 4)이 머더보드(6)상의 버스배선에서 분기된 소켓(5)의 소켓핀을 매개하여 같은 간격으로 접속되어 있다. 또한, 머더보드(6)상에는 다른 메모리컨트롤러(1)와 호스트버스배선을 매개하여 접속되는 CPU등도 실장되어 있다.

메모리컨트롤러(1)는 예를들면 메모리모듈(2 ~ 4)의 기입을 관리하는 기능을 갖고 머더보드(6)로의 핀삽입형 칩세트LSI이다. 이 메모리컨트롤러(1)에 의해 각 메모리모듈(2 ~ 4)의 각 메모리IC에 대한 데이터독출/기입동작이 제어된다.

메모리모듈(2 ~ 4)은 각각 예를들면 동기(DRAM)의 메모리IC(7)를 모듈기판(8)의 표면 및 이면에 8개씩 실장하고 일단부의 표면 및 이면에 소켓핀과의 접지기동부(9)를 갖는 모듈이다. 각 메모리모듈(2 ~ 4)의 각 메모리IC(7)의 IC 핀은 모듈기판(8)상의 배선을 통하여 접지기동부(9)에 접속되고 각 메모리IC(7)에 대해서 데이터독출/기입이 실행된다.

소켓(5)은 예를들면 각 메모리모듈(2 ~ 4)에 대응하여 3조의 복수의 소켓핀이 방사형으로 설치되고 머더보드(6)로의 핀삽입형의 멀티소켓이다. 이 소켓핀 구조로는 2종류가 있고 도 4(A) 및 도 6(A)과 같이 하나의 기판버스접속부(10)와 하나의 모듈 접지기동 접속부(11)를 갖는 핀 집합체로 구성하고 도 4(B) 및 도 5와 같이 메모리모듈(2 ~ 4)에서 기판버스접속부(10)를 공통으로 하고 하나의 기판버스접속부(10)에 대해서 3개의 모듈 접지기동 접속부(11)를 갖는 구조의 소켓핀(12)과 도 6(B) 및 도 7과 같이 메모리모듈(2 ~ 4)별로 기판버스 접속부(10)를 분리하고 하나의 기판버스접속부(10)에 대해서 하나의 모듈 접지기동접속부(11)를 갖는 구조의 소켓핀(13)이 있다.

머더보드(6)는 예를들면 표면에 메모리컨트롤러(1) 및 소켓(5)등이 실장되고 이면에 버스배선(14)이 형성된 프린트배선기판이다. 이 머더보드(6)는 표면에서 이면에 비어 홀(Via Hole)(15)을 통하여 관통이 가능하고 메모리컨트롤러(1) 및 소켓(5)의 핀이 표면에서 이면에 삽입되어 버스배선(14)에 전기적으로 접속된다.

이상과 같이 구성되는 메모리시스템은 머더보드(6)의 비어홀(15)에 메모리컨트롤러(1)와 소켓(5)의 핀을 삽입하여 메모리컨트롤러(1)와 소켓(5)을 머더보드(6)상에 실장하고 또한 소켓(5)에 3개의 메모리모듈(2 ~ 4)을 삽입하는 것으로 3개의 메모리모듈(2 ~ 4)을 머더보드(6)에 대해서 방사형으로 또한 머더보드(6)상의 버스배선(14)로부터 같은 거리로 접속하는 것이 가능하다.

특히, 이 메모리시스템에서는,

(메모리컨트롤러에서 본 최근 메모리모듈과

가장 먼 메모리모듈과의 거리차)

((메모리모듈기판+실장메모리 IC)의 두께)

× (메모리모듈수-1)

의 조건을 만족하는 시스템구조로 되어 있다.

또한, 이 메모리시스템에 있어서는 최종단의 메모리모듈 이외 반사판을 갖는 시간이 파형의 단차를 형성하므로 이 반사파를 보내기 위한 버스배선(14)의 한측 또는 양측에 최종단 저항(16)을 접속하고 있다.

다음으로 도 8에 의해 메모리시스템의 각 메모리모듈(2 ~ 4)에 대한 신호계통의 일례를 설명한다. 여기에서는 각 메모리모듈(2 ~ 4)이 × 65비트의 입출력단자 구성으로 2뱅크형식의 동기DRAM 탑재모듈의 예를 나타낸다.

(1) 각 모듈공통의 신호계

각 메모리모듈(2 ~ 4)에서 공통의 신호계에는 어드레스 신호 : A0 ~ A11, 컨트롤신호 : /RAS, /CAS, /WE, 데이터신호 : DQ0 ~ DQ63, 데이터관리신호 : DQS0 ~ DQS15, DMO ~ DM15등이 있다.

이 각 메모리모듈(2 ~ 4)에서 공통의 신호계에서는 상기 기술한 도 4 및 도 5와 같은 하나의 기판버스접속부(10)에 대해서 3개의 모듈접지기동 접속부(11)를 갖는 구조의 소켓핀(12)을 사용하고 메모리컨트롤러(1)에서 하나의 신호는 하나의 기판버스접속부(10)만 접속하고 소켓(5)의 내부에서 3개의 모듈 접지기동 접속부(11)에 분기하여 접속하기 때문에 메모리모듈(2 ~ 4)별로 메모리컨트롤러(1)에서 거리가 다른 경우는 없다. 상기에 의해 메모리컨트롤러(1)에서 각 메모리모듈(2 ~ 4)까지의 배선길이를 동일하게 할 수 있고 동일타이밍으로 각 메모리모듈(2 ~ 4)에 신호를 전달하는 것이 가능하다.

(2) 각 모듈독립의 신호계

각 메모리모듈(2 ~ 4)에서 독립의 신호계에는 클럭신호 : CK 0 ~ CK 8, 클럭관리신호 : CKE 0 ~ CKE 5, 뱅크선택신호 : CS 0 ~ CS 5, 전원신호 : Vdd, Vss등이 있다.

이 각 메모리모듈(2 ~ 4)에서 독립의 신호계에서는 상기 기술한 도 6 및 도 7과 같은 하나의 기판버스접속부(10)에 대해서 하나의 모듈접지기동 접속부(11)를 갖는 구조의 소켓핀(13)을 사용하고 일대일로 접속한다. 버스배선(14) 또는 소켓(5) 내부의 배선길이를 조정하는 것으로 메모리컨트롤러(1)에서 각 메모리모듈(2 ~ 4)까지의 배선길이를 동일하게 할 수 있다. 상기에 의해 동일 타이밍으로 각 메모리모듈(2 ~ 4)로의 신호를 전달할 수 있다. 또한, 전원신호는 전원강화를 위하여 분리하는 경우

가 많지만 각 소켓(5)에서 공통화하는 것도 가능하다.

이상에 의해 본 실시형태와 같은 소켓(5)의 활용에 의해 각 메모리모듈(2 ~ 4)까지 공통의 신호계는 메모리컨트롤러(1)에서 각 메모리모듈(2 ~ 4)까지 공통의 신호계는 메모리컨트롤러(1)에서 각 메모리모듈(2 ~ 4)까지의 거리를 같은 거리로 할 수 있다. 또한, 각 메모리모듈(2 ~ 4)에서 독립의 신호계도 메모리컨트롤러(1)의 핀의 위치 또는 머더보드(6)상의 버스배선(14)의 레이아웃으로 배선길이를 같은 길이로 할 수 있으므로 각 메모리모듈(2 ~ 4)의 전체신호를 동일신호의 지연타이밍으로 컨트롤 할 수 있다. 상기에 의해 종래 소켓별 다른 신호지연시간의 보정을 위해 필요로 하던 데이터스트로브신호도 생략할 수 있다. 이 경우, 회로의 간소화와 필요신호선수의 저감에 의한 시스템의 간소화, 소형화, 저코스트화가 가능하다. 또한, 데이터스트로브신호를 사용하면 타이밍정밀도를 향상할 수 있다.

다음으로 도 9에 의해 각 메모리모듈(2 ~ 4)의 내부구성과 신호계통의 일례를 설명한다. 여기에서는 8입출력단자를 갖는 동기DRAM의 메모리IC(7)를 앞측/뒤측으로 8개씩 합쳐 16개 탑재하고 2뱅크형식을 갖는 더블데이터모드-동기DRAM 탑재모듈을 예로 나타낸다.

(1) 어드레스신호

어드레스신호 : A0 ~ A11은 동기DRAM의 내부에 있어서 격자형으로 배치된 복수의 메모리셀로 이루어지는 메모리매트릭스의 행(Raw), 열(Column)의 어드레스를 지정하기 위한 어드레스지정용 신호이다. 이 어드레스 신호는 #0 ~ #15의 동기DRAM에 공통으로 설치되어 있다.

(2) 컨트롤 신호

컨트롤신호에는 로우어드레스 스트로브(Raw Address Strobe)신호 : /RAS, 컬럼어드레스 스트로브(Column Address Strobe)신호 : /CAS, 기입이네이블(Write Enable)신호 : /WE등이 있다. 로우어드레스 스트로브신호:/RAS는 행어드레스신호의 변환타이밍을 결정하기 위한 스트로브신호이다. 컬럼어드레스 스트로브신호:/CAS는 열 어드레스 신호의 변환타이밍을 결정하기 위한 스트로브신호이다. 기입이네이블신호:/WE는 기입가능한 모드와 독출가능한 모드를 전환하기 위한 절환신호이다. 이들 컨트롤 신호도 어드레스신호와 동일한 #0 ~ #15의 동기 DRAM에 공통으로 설치되어 있다.

(3) 데이터신호

데이터신호 : DQ0 ~ DQ63은 독출가능한 모드에 있어서의 출력데이터이다. 이 컨트롤신호는 DQ0 ~ DQ7이 동기DRAM의 #0, DQ8 ~ DQ15가 #1, ..., DQ56 ~ DQ63이 #15에 각각 할당되어 별개로 설치되어 있다.

(4) 데이터관리신호

데이터관리신호(데이터 스트로브신호): DQS0 ~ DQS15는 데이터 독입타이밍을 결정하기 위한 스트로브신호이다. 데이터관리신호(데이터마스크신호):DM0 ~ DM15는 데이터독입 여부를 결정하기 위한 마스크신호이다. 이들 데이터관리신호는 DQS0, DM0이 표면측의 동기DRAM의 #0, DQS1, DM1이 #1, ..., DQS7, DM7이 #7, DQS8, DM8이 이면측의 동기DRAM의 #8, DQS9, DM9가 #9, ..., DQS15, DM15가 #15에 각각 할당되고 별개로 설치되어 있다.

(5) 뱅크선택신호

뱅크선택신호(칩 셀렉트신호):CS0, CS1은 메모리모듈의 뱅크를 선택하기 위한 신호이다. 이 뱅크선택신호는 CS0이 표면측의 #0 ~ #7의 동기DRAM, CS1이 이면측의 #8 ~ #15의 동기DRAM에 각각 할당되고 표면측과 이면측에서는 공통으로 표면측과 이면측에서 별개로 설치되어 있다.

이상과 같이 구성되는 각 메모리모듈(2 ~ 4)은 메모리컨트롤러(1)에 의해 동기DRAM의 각 메모리IC(7)에 대한 데이터 독출/기입동작이 제어된다. 우선, 어드레스신호(A0 ~ A11)에 의해 #0 ~ #15의 메모리IC(7)의 메모리매트릭스가 임의의 메모리셀을 선택한다. 이 때 로우어드레스 스트로브신호(/RAS), 컬럼어드레스 스트로브신호(/CAS), 기입이네이블신호(/WE)에 의해 각종 타이밍이 제어되고 또한 뱅크선택신호(CS0, CS1)에 의해 각 메모리모듈(2 ~ 4)의 뱅크가 선택된다.

그리고 선택된 메모리셀에 대해서 기입동작을 실행하는 경우에는 데이터신호(DQ 0 ~ DQ63)를 기입하는 데이터로서 메모리셀에 기입한다. 또한, 선택된 메모리셀로부터 독출동작을 실행하는 경우에는 메모리셀로부터 독출된 데이터신호(DQ0 ~ DQ63)를 독출데이터로서 출력한다. 이 때 데이터스트로브신호(DQS0 ~ DQS15), 데이터마스크신호(DM0 ~ DM15)에 의해 데이터 독입타이밍이 결정된다.

다음으로 본 실시형태 메모리시스템에 있어서, 메모리컨트롤러(1)에서 각 메모리모듈(2 ~ 4)로 신호를 전달하고 그 반사파를 고려한 경우 각 메모리모듈(2 ~ 4)이 메모리컨트롤러(1)에서 전체 같은 거리이면 전체의 메모리모듈(2 ~ 4)은 상기 기술한 도 14의 메모리모듈(3)에 유사한 파형을 구할 수 있기 때문에,

(1) 거리차에 의한 신호도착시간차(불균일)를 억제하고 타이밍의 여유를 확보할 수 있고,

(2) 파형의 단차(스텝)를 형성하는 반사파를 보내 신호타이밍을 진폭의 절반값으로 규정하는 신호에 있어서는 타이밍오차를 억제하고 타이밍여유를 확보 할 수 있다. 또한, 다른 메모리모듈로부터 반사파도 받을 수 있지만 미리 반사파에서 전압이 상승한 후이기 때문에 타이밍의 영향은 작다.

따라서 본 실시형태의 메모리시스템에 의하면 소켓(5)의 구조방법으로서 방사형으로 소켓핀(12, 13)을 소켓중심에 집중하는 것으로 소켓(5)내의 배선을 짧고 또한 같은 길이로 할 수 있고 또한 소켓(5)의 버스방향의 폭을 저감할 수 있으므로 이하와 같은 효과를 구하는 것이 가능하다.

(1)머더보드(6)상의 버스배선(14)상에는 메모리컨트롤러(1)에서 단일거리에 3개의 메모리모듈(2 ~ 4)을 배치할 수 있기 때문에 메모리컨트롤러(1)에서 각 메모리모듈(2 ~ 4)까지의 신호선길이가 같아지고 각 메모리모듈(2 ~ 4)에 동일타이밍으로 동일파형의 신호를 입력할 수 있다.

(2) 각 메모리모듈(2 ~ 4)을 메모리컨트롤러(1)에서 단일 거리에 배치하는 것으로 파형의 단차가 감소하

기 때문에 파형의 단차를 형성하는 요인이 되는 반사파를 보내기 위하여 최종단 저항을 없애는 것이 가능하다. 따라서 예를들면 도 15(A):최종단저항있음, (B): 최종단저항 없음)에 나타나는 시뮬레이션 결과와 같이 최종단 저항이 없어도 슬롯의 위치(원근)에 의한 상호영향이 없기 때문에 메모리IC로의 기입 데이터의 파형은 한번에 상승/하강할 수 있고 충분한 진폭과 valid타임을 확보하는 것이 가능하다. 그 결과, 최종단 저항에서 소비하는 전류를 저감하고 또는 신호파형의 상승/하강의 이동시간의 단축에 의한 타이밍여유를 확대하고 또한 신호진폭의 증대에 의한 신호전압여유를 확대하는 것이 가능하다. 또한, 최종단 저항을 없애는 대신에 최종단저항의 수를 감소하거나 최종단 저항의 저항값을 올리는 것도 가능하다.

(3) 머더보드(6)상에 실장하는 소켓(5)의 수를 감소시키므로 메모리컨트롤러(1)에서 각 메모리모듈(2 ~ 4)까지 배선길이를 짧게 할 수 있으므로 고속신호에 적합하다.

(4) 메모리컨트롤러(1)등의 면실장부품의 상품도 메모리모듈(2 ~ 4)의 탑재시간에 이용할 수 있고 고밀도의 실장이 가능해진다. 특히, 각 메모리모듈(2 ~ 4)이 머더보드(6)에 대해서 경사지게 있어 경사부분의 공간을 다른 부품실장상의 공간에 이용하여 실장밀도를 올리는 것도 가능하다.

예를들면 종래 고속화를 위하여 배선길이를 짧게 하는 경우 통상, 소형 패키지로 절환할 수 있었지만 본 실시형태와 같은 소켓(5)을 사용하는 것에 의해 종래 패키지에서도 동등한 이상의 효과를 기대할 수 있다. 일례로서, DDR, -TSOP베이스의 메모리모듈내에서의 출력배선길이는 45mm정도이다. 한편, CSP를 채용하면 22mm정도로 반감된다. 그러나, 소켓의 간격은 2핀타입에서도 7.6mm정도이고 4개의 소켓을 큰밀도로 실장하여도 소켓별의 버스배선차는 $7.6 \times (4 - 1) = 22.8\text{mm}$ 이 되고 패키지종별로 인하여 메모리모듈내 배선길이차와 동일한 정도가 된다. 즉, 고속화를 위하여 신규패키지 개발이 불필요해진다. 또한, 서버등의 8소켓에서는 본 소켓(5)을 사용하는 방법이 패키지를 개발하기보다도 버스배선길이의 단축이 가능하다.

(실시형태 2)

도 10은 본 발명의 실시형태(2)의 메모리시스템의 구조를 나타내는 개략단면도(단면표기 생략)이다. 본 실시형태의 메모리시스템은 상기 실시형태(1)와 동일한 복수의 메모리모듈을 실장한 메모리시스템이 되고 상기 실시형태(1)과의 상이점은 소켓의 구조를 대신하여 머더보드에 대해서 메모리모듈을 방사형으로 실장하는 소켓을 대신하므로 메모리모듈을 평행하게 실장하는 소켓을 이용하도록 한 점이다.

즉, 본 실시형태의 메모리시스템은 도 10에 일례로 나타나는 바와 같이 메모리컨트롤러(21)와 4개의 메모리모듈(22 ~ 25)과 이 4개의 메모리모듈(22 ~ 25)이 탈부착 가능한 하나의 소켓(26)과 이들 메모리컨트롤러(21) 및 소켓(26)이 실장되는 머더보드(27)등으로 구성되고 머더보드(27)상의 소켓(26)에 4개의 메모리모듈(22 ~ 25)이 각각 2매씩 상하로 머더보드(27)에 대해서 평행하게 되도록 실장되어 있다.

따라서 본 실시형태의 메모리시스템에 있어서도 각 메모리모듈(22 ~ 25)가 머더보드(27)에 대해서 평행하게 실장되는 것의 메모리컨트롤러(21)와 각 메모리모듈(22 ~ 25)과 머더보드(27)상의 버스배선에서 분기된 소켓(26)의 소켓핀을 매개하여 같은 거리로 접속되어 있으므로 상기 실시형태(1)과 동일한 효과를 구하는 것이 가능하다. 특히, 본 실시형태에 있어서는 머더보드(27)상의 높이방향이 제한되는 바와 같은 공간에 대해서 이 실장공간에 맞추어 대응할 수 있다.

(실시형태 3)

도 11은 본 발명의 실시형태(3)의 메모리시스템의 구조를 나타내는 개략도이다. 본 실시형태의 메모리시스템은 상기 실시형태 1 및 2와 동일하게 복수의 메모리모듈을 실장한 메모리시스템으로 되고 상기 실시형태 1 및 2와의 상이점은 머더보드 및 소켓의 구조를 대신하여 머더보드에 대해서 메모리모듈을 360도의 각도내로 다수 분기하도록 실장하는 소켓을 이용하도록 한 점이다.

즉, 본 실시형태의 메모리시스템은 도 11에 일례를 나타내는 바와 같이 메모리컨트롤러(31)와 CPU(32)가 실장되는 머더보드(33)와 8개의 메모리모듈(34 ~ 41)과 이들 머더보드(33)와 메모리모듈(34 ~ 41)이 탈부착가능한 하나의 소켓(42)등으로 구성되고 소켓(42)의 1슬롯에 머더보드(33)가 실장되고 다른 각 슬롯에 각 메모리모듈(34 ~ 41)이 각각 360도의 각도내로 같은 각도로 다수 분기하도록 실장되어 있다.

따라서, 본 실시형태 메모리시스템에 있어서도 소켓(42)을 매개한 머더보드(33)와 각 메모리모듈(34 ~ 41)과의 접속형태는 다른 것의 메모리컨트롤러(31)와 각 메모리모듈(34 ~ 41)이 머더보드(33)의 단부에 배치된 소켓(42)의 소켓핀을 매개하여 같은 간격으로 접속되어 있기 때문에 상기 실시형태 1 및 2와 동일한 효과를 구하는 것이 가능하다. 특히, 본 실시형태에 있어서는 머더보드(33)에 대해서 360도의 각도내로 다분기하는 것에 의해 다수의 메모리모듈(34 ~ 41)을 같은 길이 또는 제일 짧은 거리로 메모리컨트롤러(31)와 접속하는 것이 가능하다. 또한, 머더보드(33)의 단부에 소켓(42)을 배치하므로 동일 버스배선길이에 의해 실장수를 증가하는 것이 가능하다.

이상 본 발명자에 의해 이루어진 발명을 그 실시형태에 의거하여 구체적으로 설명하였지만 본 발명은 상기 실시형태에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 다양한 변경이 가능한 것은 물론이다.

예를들면, 상기 실시형태 1에서는 3개의 메모리모듈을 실장하는 예 상기 실시형태 2에서는 4개의 메모리모듈을 실장하는 예, 상기 실시형태 3에서는 8개의 메모리모듈을 실장하는 예를 각각 설명하였지만 소켓의 소켓핀의 분리수를 변경하는 것으로 상기 실시형태 1에 있어서는 2매와 4매이상 상기 실시형태 2에 있어서는 2매, 3매와 5매이상, 상기 실시형태 2에 있어서는 2매에서 7매와 9매이상의 메모리모듈을 실장하는 것도 가능하다.

또한, 상기 실시형태에 있어서는 $\times 64$ 비트의 입출력단자구성으로 2뱅크 형식의 동기DRAM탑재 모듈을 예로 설명하였지만 다른 입출력단자 구성 다른 뱅크형식등에도 적용가능하고 또한 범용DRAM과 다른 메모리등에도 폭넓게 적용하는 것이 가능하다.

또한, 본 발명의 메모리시스템은 메모리의 고속화가 요구되는 시스템 전반에이용하는 것이 가능하고 고

속 데스크탑형 PC, 고속의 복잡한 서버의 메모리보드등에 적용하기에 효과적이다.

발명의 효과

본원에 있어서 개시되는 발명가운데 대표적인 것에 의해 구해지는 효과를 간단하게 설명하면 이하와 같다.

(1) 일정에서 분기된 복수의 소켓핀을 갖추는 소켓을 이용하여 머더보드상의 배선과 복수의 각 메모리모듈을 접속하는 것으로 소켓내의 배선을 짧고 또한 같은 길이로 하는 것이 가능하고 또한, 소켓의 버스방향의 폭을 저감하는 것이 가능하므로 메모리컨트롤러와 각 메모리모듈을 같은 거리로 접속하는 것이 가능해진다.

(2) 머더보드상의 배선에는 메모리컨트롤러에서 단일 거리에 복수의 메모리모듈을 배치하는 것이 가능하므로 복수의 메모리모듈에 동일 타이밍으로 동일 파형의 신호를 입력하는 것이 가능해진다.

(3) 머더보드상에 실장하는 소켓수를 감소시키므로 메모리컨트롤러로부터 각 메모리모듈까지의 배선길이를 짧게하는 것이 가능하므로 고속신호로 양호하게 적용하는 것이 가능해진다.

(4) 각 메모리모듈을 머더보드상에 방사형으로 실장하는 것으로 머더보드상의 면실장부품의 상부도 메모리모듈의 탑재공간에 이용하는 것이 가능하므로 머더보드의 고밀도로 실장이 가능해진다.

(5) 각 메모리모듈을 메모리컨트롤러로부터 단일거리로 배치하는 것으로 파형의 단차가 감소하기 때문에 파형의 단차를 형성하는 요인이 되는 반사파를 보내기 위한 최종단 저항을 없애 최종단 저항의 수를 감소하고 또는 최종단저항의 저항값을 올리는 것이 가능하고 그 결과 최종단저항에서 소비하는 전류의 저감과 신호파형의 상승/하강의 이동시간단축에 의한 타이밍여유의 확대와 신호진폭의 증대에 의한 신호전압여유의 확대가 가능해진다.

(6) (메모리컨트롤러에서 본 최근 메모리모듈과 가장 먼 메모리모듈과의 거리차)

(((메모리모듈기관 + 실장메모리 IC)의 두께) × (메모리모듈수 - 1)의 조건을 만족하는 것으로 거리차에 의한 신호도착 시간차 및 반사파에 의한 타이밍오차를 억제하는 것이 가능하므로 타이밍여유를 확보하는 것이 가능해진다.

(57) 청구의 범위

청구항 1

메모리컨트롤러와 복수의 메모리모듈을 머더보드상의 배선을 매개하여 접속한 메모리시스템에 있어서, 일정에서 분기된 복수의 소켓핀을 갖추는 소켓을 이용하여 상기 머더보드상의 배선과 상기 복수의 각 메모리모듈을 접속하고,

상기 메모리컨트롤러와 상기 각 메모리모듈을 같은 간격으로 접속하는 것을 특징으로 하는 메모리시스템.

청구항 2

청구항 1 에 있어서,

상기 각 메모리모듈은 상기 소켓의 소켓핀을 매개하여 상기 머더보드상에 방사형으로 실장되는 것을 특징으로 하는 메모리시스템.

청구항 3

청구항 1 에 있어서,

상기 각 메모리모듈은 상기 소켓의 소켓핀을 매개하여 상기 머더보드에 평행하게 실장되는 것을 특징으로 하는 메모리시스템.

청구항 4

청구항 1 에 있어서,

상기 소켓의 소켓핀이 분기되는 상기 한점은 상기 머더보드상의 배선의 한점인 것을 특징으로 하는 메모리시스템.

청구항 5

청구항 1 에 있어서,

상기 소켓의 소켓핀이 분기되는 상기 한점은 상기 소켓내의 배선을 매개하여 상기 머더보드상의 배선에 접속되는 것을 특징으로 하는 메모리시스템.

청구항 6

청구항 1 에 있어서,

상기 소켓의 소켓핀 가운데 어드레스 신호, 컨트롤신호, 데이터신호, 데이터관리신호의 핀은 상기 각 메모리모듈에 공통으로서,

클럭신호, 클럭관리신호, 뱅크선택신호, 전원신호의 핀은 상기 각 메모리모듈에서 분리하는 것을 특징으로

로 하는 메모리시스템.

청구항 7

청구항 1 에 있어서,

상기 머더보드상의 배선에 중단 저항이 접속되어 있지 않거나 또는 배선의 한측에 중단저항이 접속되거나 또는 양측에 중단저항이 접속되는 것을 특징으로 하는 메모리시스템.

청구항 8

메모리컨트롤러와 복수의 메모리모듈을 머더보드상의 배선을 매개하여 접속한 메모리시스템에 있어서,
(메모리컨트롤러에서 본 최근 메모리모듈과 가장 먼 메모리모듈과의 거리차)<((메모리모듈기판+실장메모리 IC)의 두께) × (메모리모듈수-1)의 조건을 만족하는 것을 특징으로 하는 메모리시스템.

청구항 9

기판과,

상기 기판상에 배치된 메모리컨트롤러와,

상기 기판상에 배치되고 복수의 메모리모듈을 장착하는 것이 가능한 소켓을 포함하는 메모리시스템에 있어서,

상기 소켓에 장착가능한 복수의 메모리모듈의 각각과 상기 메모리컨트롤러는 같은 거리로 배선되는 것을 특징으로 하는 메모리시스템.

청구항 10

기판과,

상기 기판상에 배치된 메모리컨트롤러와,

상기 기판상에 배치되고 복수의 제 1 단자를 가지는 제 1 장착구와 복수의 제 2 단자를 갖는 제 2 장착구를 갖는 접속부재를 가지는 메모리시스템에 있어서,

상기 제 1 장착구의 상기 복수의 제 1 단자와 제 1 메모리모듈의 복수의 제 3 단자가 접속되도록 상기 제 1 장착구에 상기 제 1 메모리모듈을 장착하는 것이 가능하고,

상기 제 2 장착구의 상기 복수의 제 2 단자와 제 2 메모리모듈의 복수의 제 4 단자가 접속되도록 상기 제 2 장착구에 상기 제 2 메모리모듈을 장착하는 것이 가능하고,

상기 메모리컨트롤러와 상기 복수의 제 1 단자 가운데 하나의 단자와의 사이의 배선거리와 상기 메모리컨트롤러와 상기 제 1 단자 가운데 상기 하나의 단자에 대응하는 상기 복수의 제 2 단자 가운데 하나의 단자와의 사이의 배선거리는 실질적으로 비등한 것을 특징으로 하는 메모리시스템.

청구항 11

청구항 10 에 있어서,

상기 복수의 제 1 단자가운데 상기 하나의 단자 및 상기 복수의 제 1 단자 가운데 상기 하나의 단자에 대응하는 상기 복수의 제 2 단자 가운데 상기 하나의 단자는 모두 데이터단자인 것을 특징으로 하는 메모리시스템.

청구항 12

기판과,

상기 기판상에 배치되고, 제 1 단자를 포함하는 제어장치와,

상기 기판상에 배치되고, 제 2 단자를 가지는 제 1 장착부와 상기 제 2 단자에 대응하는 제 3 단자를 가지는 제 2 장착부를 가지는 접속부재를 포함하는 메모리시스템에 있어서,

상기 제 1 장착부에는 제 1 메모리모듈이 장착가능해지고,

상기 제 2 장착부에는 제 2 메모리모듈이 장착가능해지고,

상기 제 1 메모리모듈은 제 4 단자를 갖추고,

상기 제 2 메모리모듈은 제 5 단자를 갖추고,

상기 제 1 메모리모듈이 상기 제 1 장착부에 장착될 때 상기 제 2 단자와 상기 제 4 단자가 접속되고,

상기 제 2 메모리모듈이 상기 제 2 장착부에 장착될 때 상기 제 3단자와 상기 제 5 단자가 접속되고,

상기 제어장치의 상기 제 1 단자와 상기 제 1 장착부의 상기 제 2단자와의 사이의 배선의 최단거리와, 상기 제어장치의 상기 제 1 단자와 상기 제 2 장착부의 상기 제 3 단자와의 사이의 배선의 최단거리는 실질적으로 비등한 것을 특징으로 하는 메모리시스템.

청구항 13

청구항 12 에 있어서,

상기 제 2 단자 및 상기 제 3 단자는 모두 데이터단자인 것을 특징으로 하는 메모리시스템.

청구항 14

청구항 12 또는 청구항 13 에 있어서,

상기 접속부재는 제 6 단자를 갖추고,

상기 기판은 상기 제 1 단자와 상기 제 6단자와의 사이에 접속되는 제 1 기판배선을 또한 갖추고,

상기 접속부재는 상기 제 6단자와 상기 제 2 단자와의 사이에 접속되는 제 1 배선부재와, 상기 제 6단자와 상기 제 3 단자와의 사이에 접속되는 제 2 배선부재를 또한 갖추는 것을 특징으로 하는 메모리시스템.

청구항 15

청구항 14 에 있어서,

상기 제 1 배선부재와 상기 제 2 배선부재와의 길이는 실질적으로 비등한 것을 특징으로 하는 메모리시스템.

청구항 16

청구항 14 에 있어서,

상기 접속부재는 소켓이고,

상기 제 1 장착부와 상기 제 1 배선부재에 의해 제 1 소켓핀이 구성되고,

상기 제 2 장착부와 상기 제 2 배선부재에 의해 제 2 소켓핀이 구성되는 것을 특징으로 하는 메모리시스템.

청구항 17

청구항 12 에 있어서,

상기 제 1 메모리모듈이 상기 제 1 장착부에 장착되고 또한 상기 제 2 메모리모듈이 상기 제 2 장착부에 장착될 때 상기 제 1 메모리모듈 및 상기 제 2 메모리모듈은 방사형으로 배치되는 것을 특징으로 하는 메모리시스템.

청구항 18

청구항 12 에 있어서,

상기 제 1 메모리모듈이 상기 제 1 장착부에 장착되고 또한 상기 제 2 메모리모듈이 상기 제 2 장착부에 장착될 때 상기 제 1 메모리모듈 및 상기 제 2 메모리모듈은 병렬로 배치되는 것을 특징으로 하는 메모리시스템.

청구항 19

청구항 12 에 있어서,

상기 제 1 메모리모듈은 제 6 단자를 또한 갖추고,

상기 제 2 메모리모듈은 상기 제 6 단자에 대응하는 제 7 단자를 갖추고,

상기 제 1 장착부는 제 8단자를 또한 갖추고,

상기 제 2 장착부는 제 9단자를 또한 갖추고,

상기 제 1 메모리모듈이 상기 제 1 장착부에 장착될 때 상기 제 6단자와 상기 제 8단자가 접속되고,

상기 제 2 메모리모듈이 상기 제 2 장착부에 장착될 때 상기 제 7단자와 상기 제 9단자가 접속되고,

상기 제어장치는 상기 제 8단자와 접속되는 제 10단자 및 상기 제 9단자와 접속되는 제 11단자를 또한 갖추는 것을 특징으로 하는 메모리시스템.

청구항 20

청구항 19 에 있어서,

상기 제 8단자는 제 1 클럭신호를 받는 단자이고,

상기 제 9단자는 제 2 클럭신호를 받는 단자인 것을 특징으로 하는 메모리시스템.

청구항 21

청구항 19 에 있어서,

상기 제 8단자는 제 1 칩 선택신호를 받는 단자이고,

상기 제 9단자는 제 2 칩 선택신호를 받는 단자인 것을 특징으로하는 메모리시스템.

청구항 22

청구항 19 에 있어서,

상기 제 8단자는 제 1 클럭이네이블신호를 받는 단자이고,

상기 제 9단자는 제 2 클럭이네이블신호를 받는 단자인 것을 특징으로 하는 메모리시스템.

청구항 23

청구항 12 에 있어서,

상기 제 1 메모리모듈 및 상기 제 2 메모리모듈에는 복수의 다이내믹형 메모리칩이 실장되는 것을 특징으로 하는 메모리시스템.

청구항 24

청구항 12 에 있어서,

상기 제어장치는 메모리컨트롤러인 것을 특징으로 하는 메모리시스템.

청구항 25

제 1 단자를 가지는 제 1 장착부와, 상기 제 1 단자에 대응하는 제 2 단자를 가지는 제 2 장착부와, 제 3 단자를 포함하는 접속부재에 있어서,

상기 제 1 장착부에는 제 1 메모리모듈이 장착가능해지고,

상기 제 2 장착부에는 제 2 메모리모듈이 장착가능해지고,

상기 제 1 메모리모듈은 제 4 단자를 갖고,

상기 제 2 메모리모듈은 상기 제 4 단자에 대응하는 제 5 단자를 갖추고,

상기 제 1 메모리모듈이 상기 제 1 장착부에 장착될 때 상기 제 1 단자와 상기 제 4 단자가 접속되고,

상기 제 2 메모리모듈이 상기 제 2 장착부에 장착될 때 상기 제 2 단자와 상기 제 5 단자가 접속되고,

상기 제 3 단자와 상기 제 1 장착부의 상기 제 1 단자는 제 1 배선부재에 의해 접속되고,

상기 제 3 단자와 상기 제 2 장착부의 상기 제 2 단자는 제 2 배선부재에 의해 접속되고,

상기 제 1 배선부재의 길이와 상기 제 2 배선부재의 길이는 비등한 것을 특징으로 하는 접속부재.

청구항 26

청구항 25 에 있어서,

상기 접속부재는 메모리모듈소켓인 것을 특징으로 하는 접속부재.

청구항 27

청구항 25 또는 청구항 26 에 있어서,

상기 제 1장착부와 상기 제 1 배선부재는 제 1 소켓핀이고,

상기 제 2장착부와 상기 제 2 배선부재는 제 2 소켓핀인 것을 특징으로 하는 접속부재.

청구항 28

청구항 25 에 있어서,

상기 접속부재는 실장기판상에 배치가능한 것을 특징으로 하는 접속부재.

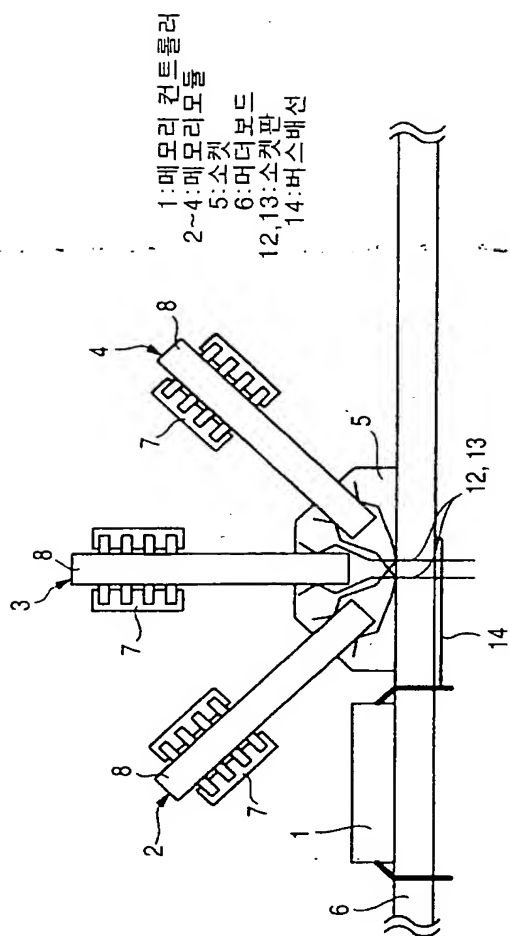
청구항 29

청구항 25, 청구항 26, 청구항 27 또는 청구항 28에 있어서,

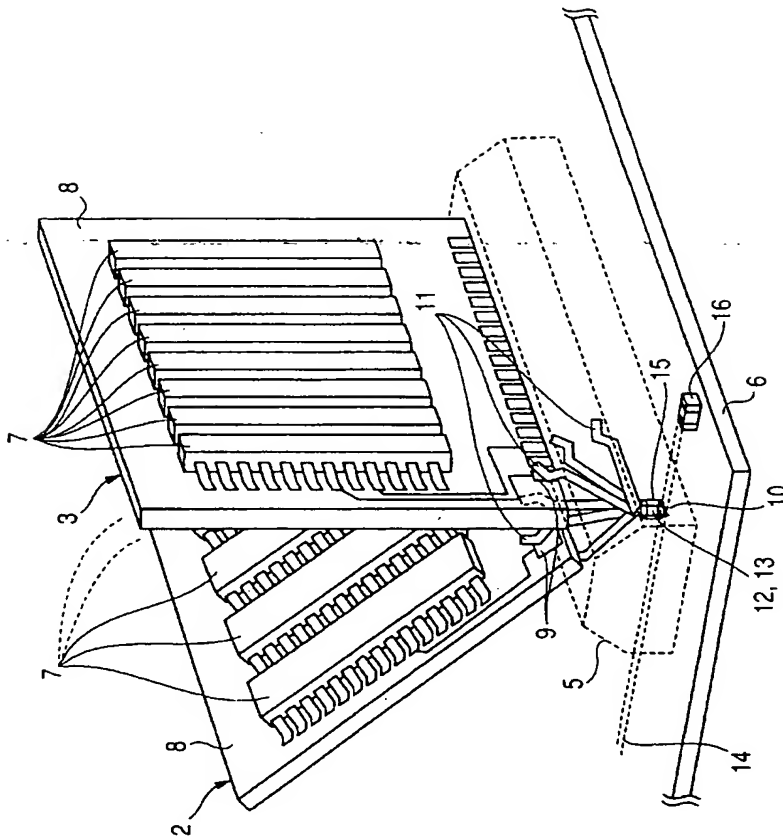
상기 제 1단자 및 상기 제 2 단자는 모두 데이터단자인 것을 특징으로 하는 접속부재.

도면

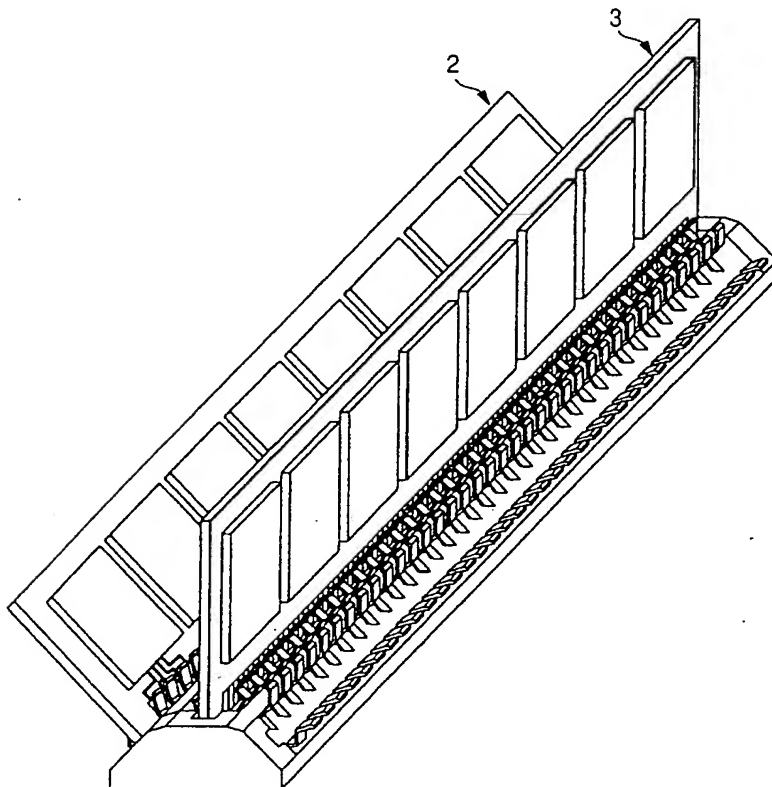
도면1



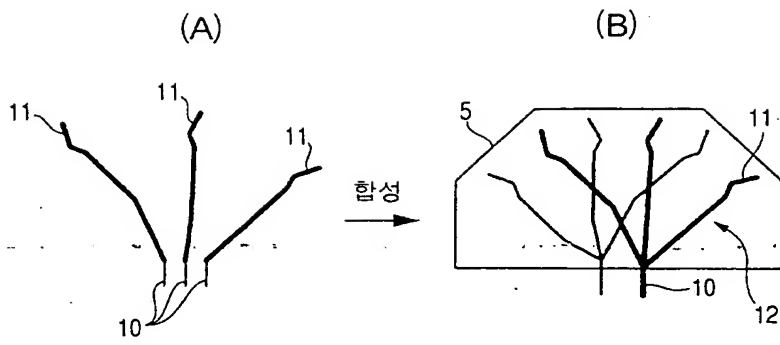
도면2



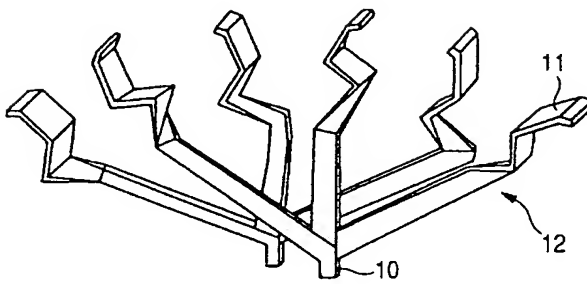
도면3



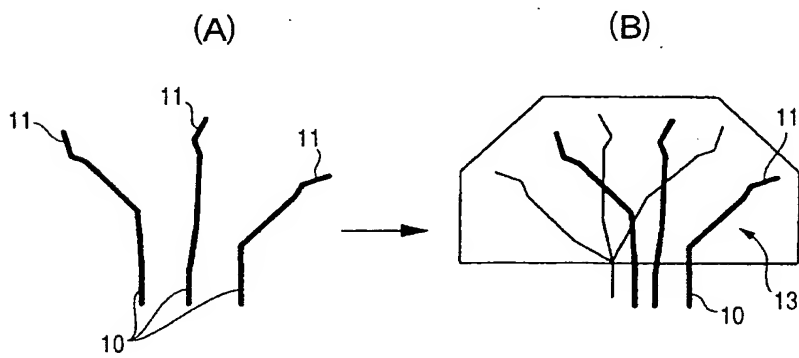
도면4



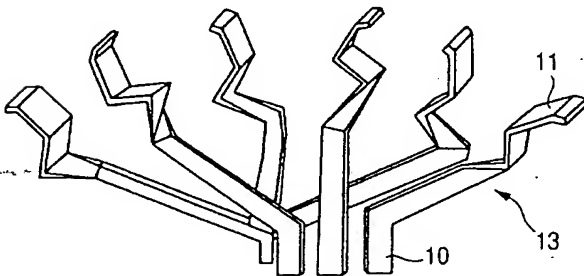
도면5



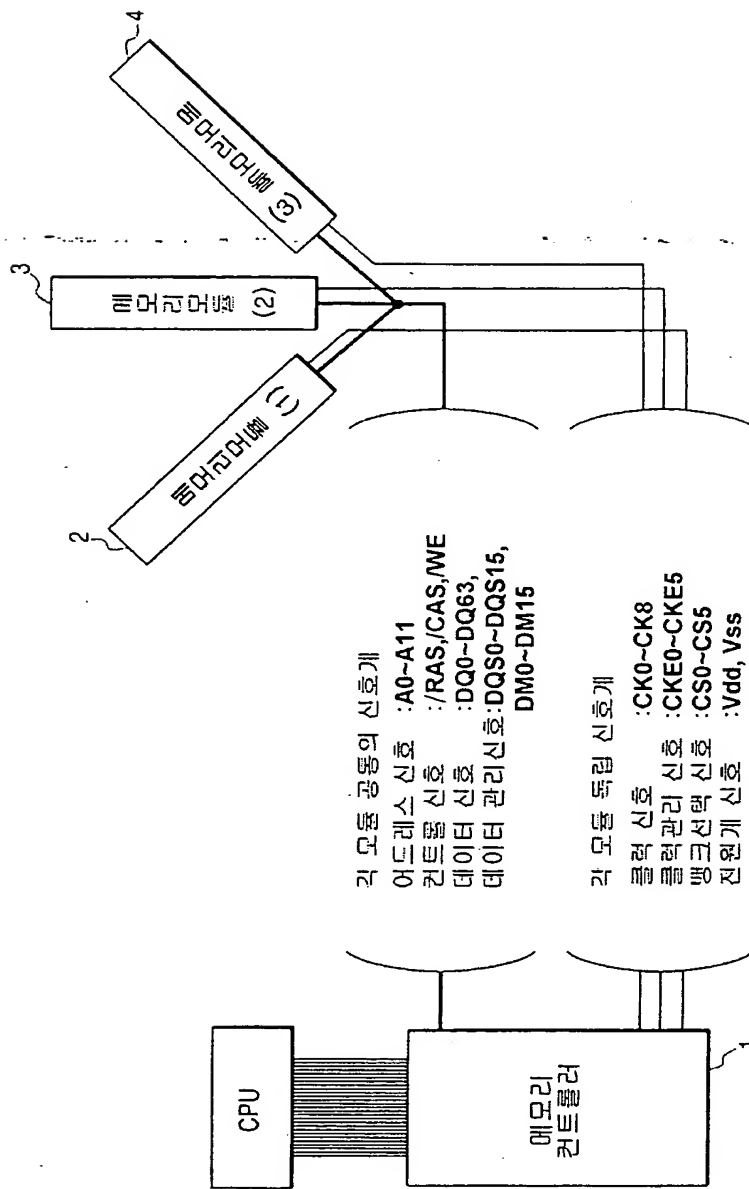
도면6



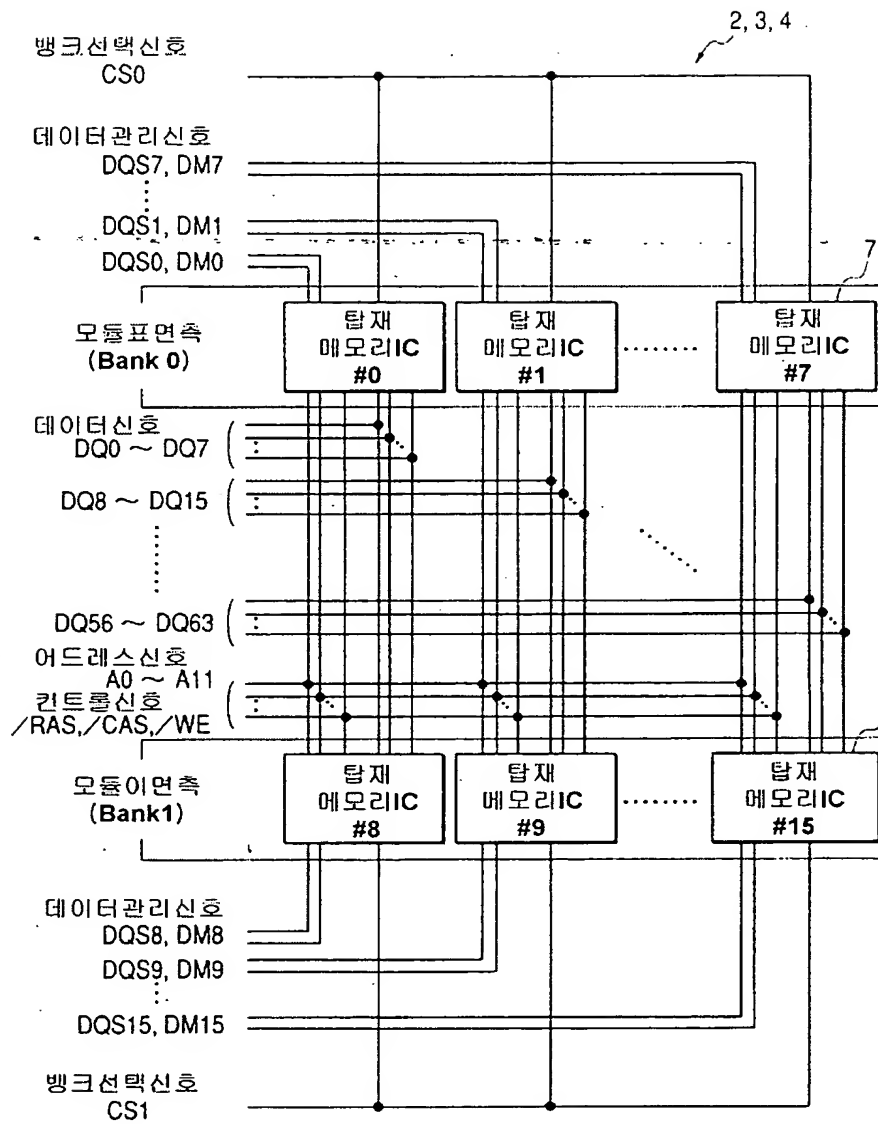
도면7



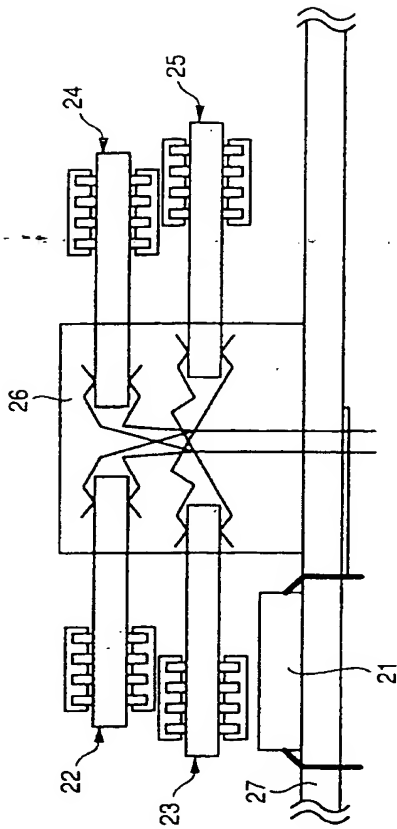
도면8



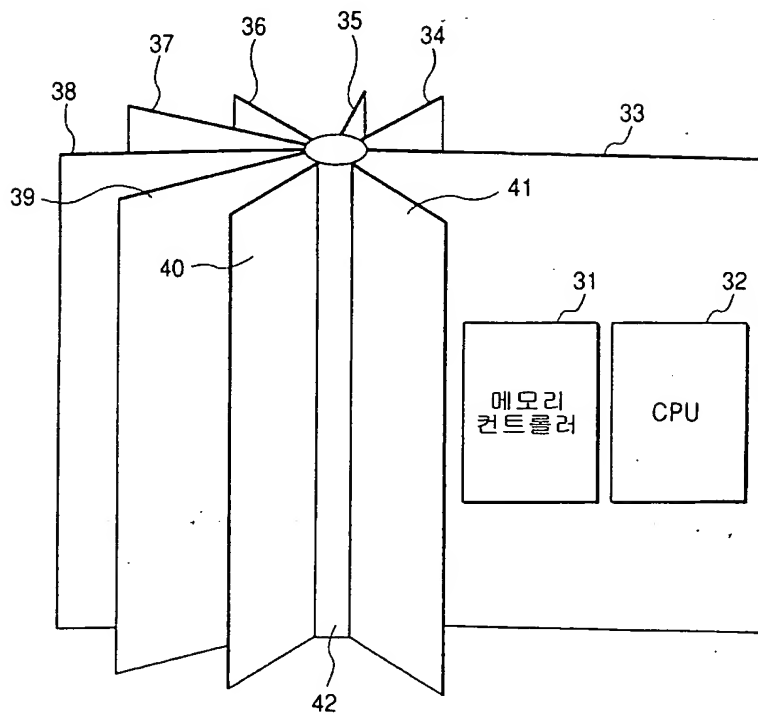
도면9



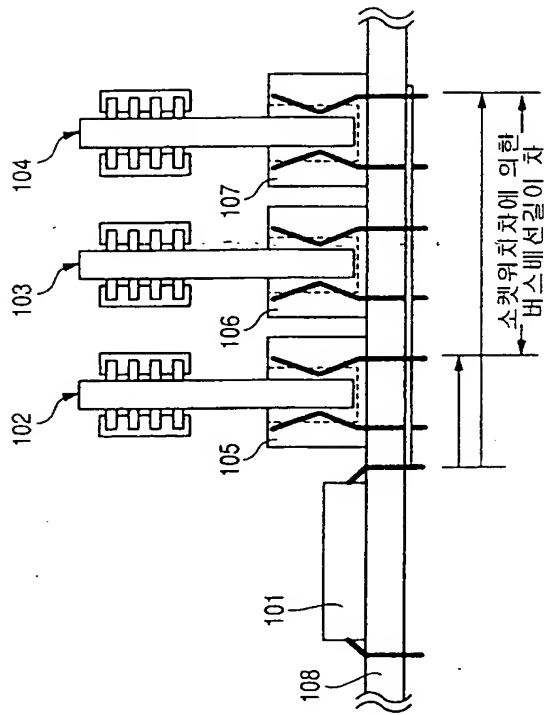
도면10



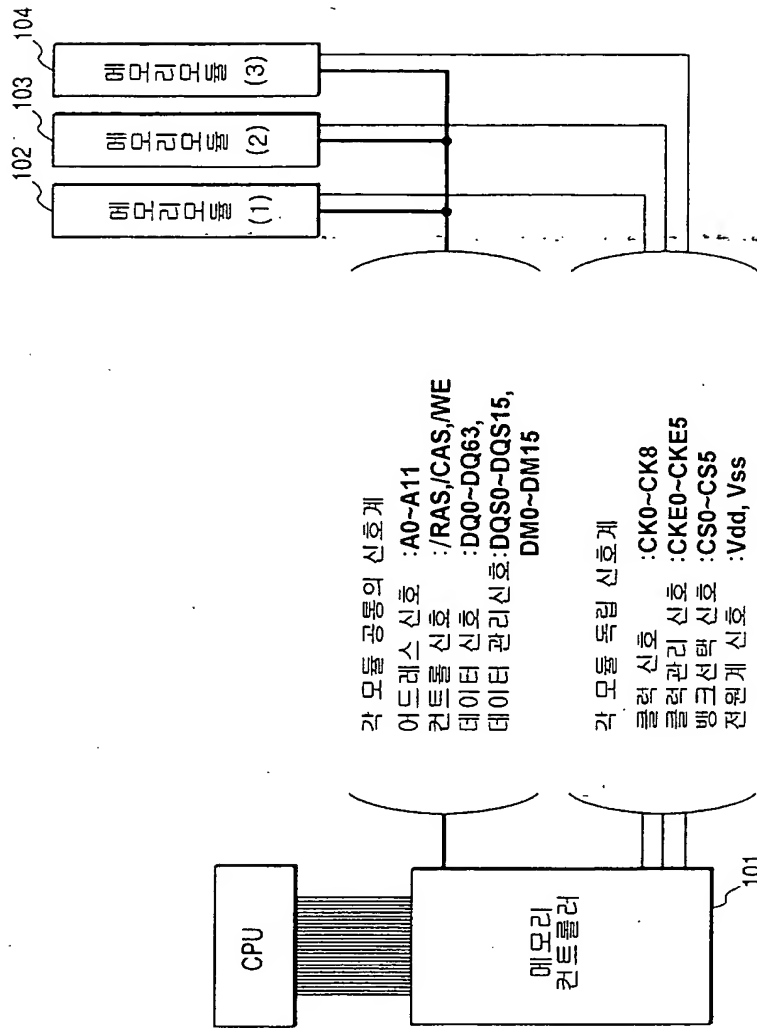
도면11



도면 12

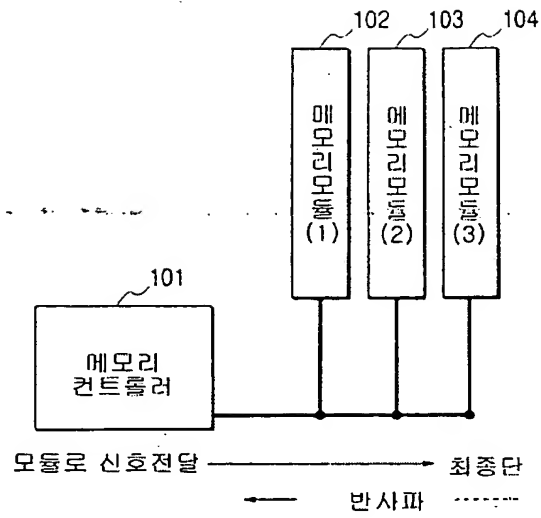


도면 13

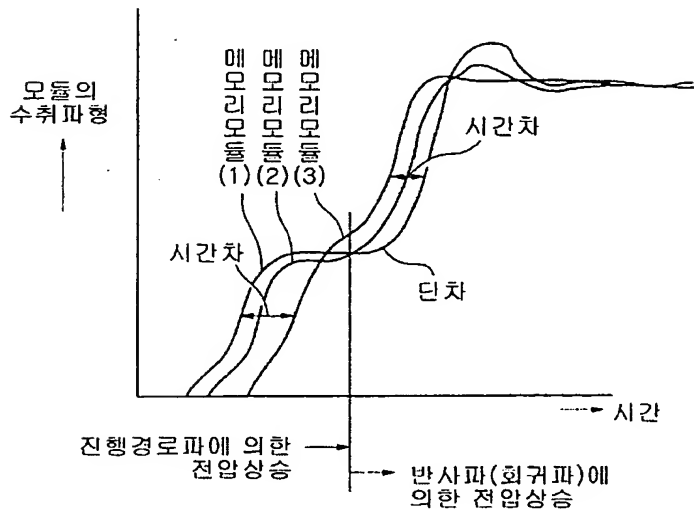


도면14

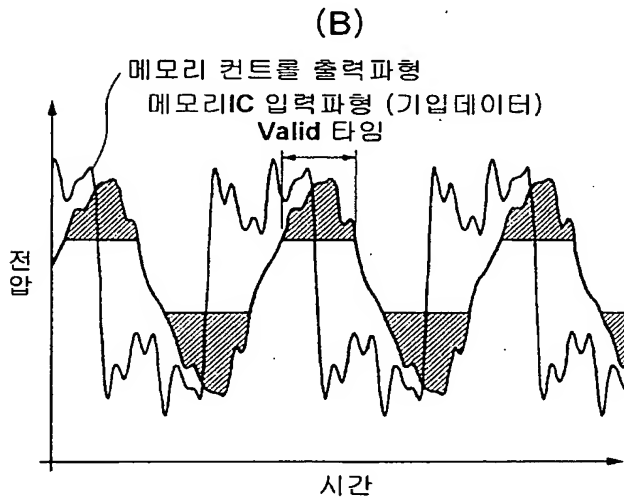
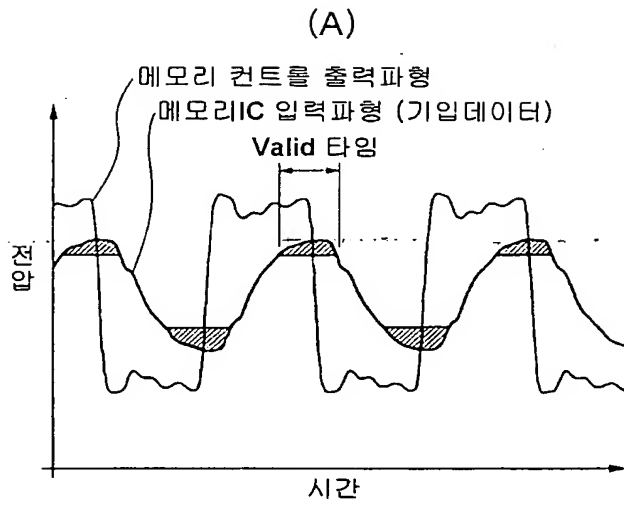
(A)



(B)



도면 15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.